

CLIPPEDIMAGE= JP406230400A

PAT-NO: JP406230400A

DOCUMENT-IDENTIFIER: JP 06230400 A

TITLE: ELECTRODE SUBSTRATE AND ITS PRODUCTION

PUBN-DATE: August 19, 1994

INVENTOR-INFORMATION:

NAME

NISHIOKA, YUKIYA

OTOKOTO, HIDENORI

NAKADA, YUKINOBU

DATE, MASAHIRO

NAGAYASU, TAKAYOSHI

KATAYAMA, MIKIO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SHARP CORP

N/A

APPL-NO: JP05017651

APPL-DATE: February 4, 1993

INT-CL (IPC): G02F001/1343;G02F001/136

US-CL-CURRENT: 349/139,349/FOR.129

ABSTRACT:

PURPOSE: To provide the electrode substrate which lowers the resistance of electrode wirings, suppresses the migration in the electrode wirings and has the passive property to prevent corrosion.

CONSTITUTION: The electrode wirings 20a, 20b having a two-layered structure composed of an aluminum alloy and aluminum nitride alloy are formed on electrodes 19 consisting of a transparent conductive material and, therefore, the resistance of the electrode wirings 20a, 20b is lowered and the signal delay in the electrode wirings 20a, 20b is prevented. Since the aluminum nitride alloy is passivated, an electric corrosion reaction does not arise any more between the electrodes 19 and the electrode wirings 20a, 20b in the production process. Further, the aluminum alloy is so formed as to contain $\leq 5\text{at.}\%$ metal forming the nitrated compd. and to have $\geq 25\text{mol}\%$ nitrogen concn. of the aluminum nitride alloy film, thereby, the migration in the electrode wirings 20a, 20b is suppressed.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-230400

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl.⁵

G 0 2 F 1/1343

1/136

識別記号

5 0 0

庁内整理番号

8707-2K

9018-2K

F I

技術表示箇所

審査請求 未請求 請求項の数7 OL (全 5 頁)

(21)出願番号 特願平5-17651

(22)出願日 平成5年(1993)2月4日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 西岡 幸也

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 音琴 秀則

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 中田 幸伸

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 弁理士 山本 秀策

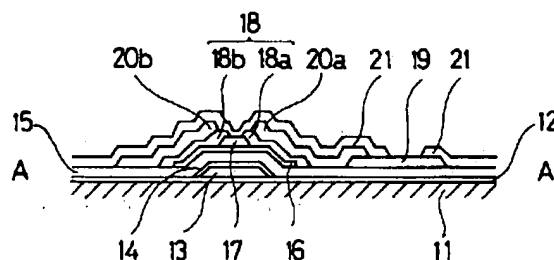
最終頁に続く

(54)【発明の名称】 電極基板及びその製造方法

(57)【要約】

【目的】 電極配線の低抵抗化を実現すると共に、電極配線におけるマイグレーションを抑え、腐食しない不動態性を有する電極基板を提供する。

【構成】 本発明の電極基板は、透明導電性材料からなる電極19上に、アルミニウム合金と窒化アルミニウム合金との2層構造を有する電極配線20a、20bが形成されているので、電極配線20a、20bの低抵抗化を図れ、電極配線20a、20bにおける信号遅延を防止できる。窒化アルミニウム合金は不動態化されているため、製造工程における電極19と電極配線20a、20bとの間には電気腐食反応は起こらなくなる。更に、アルミニウム合金膜が、窒化化合物を形成する金属を5at%以下含有するようし、且つ窒化アルミニウム合金膜の窒素濃度が、25mol%以上であるようにすることによって、電極配線20a、20bにおけるマイグレーションが抑制できる。



1

【特許請求の範囲】

【請求項1】 基板と、

該基板上に形成された透明導電性材料からなる電極と、
該基板上にアルミニウム合金膜と、窒化アルミニウム合金膜との2層構造をなし、且つ該アルミニウム合金膜を該基板側として形成され、一部が該電極に接続された電極配線とを備えた電極基板。

【請求項2】 前記アルミニウム合金膜が、窒化化合物を形成する金属を5at%以下含有したものからなり、且つ前記窒化アルミニウム合金膜の窒素濃度が、25m 10
o1%以上である請求項1記載の電極基板。

【請求項3】 基板上に透明導電性材料からなる電極を形成する工程と、

該電極が形成された該基板上に、該基板側からアルミニウム合金膜と窒化アルミニウム合金膜との積層膜を形成する工程と、

該積層膜をパターンニングして電極配線を形成する工程とを包含する電極基板の製造方法。

【請求項4】 前記窒化アルミニウム合金膜が、アルゴンと窒素との混合ガス中でアルミニウム合金ターゲットをスパッタリングして成膜される請求項3記載の電極基板の製造方法。 20

【請求項5】 前記窒化アルミニウム合金膜が、アルゴンガス中で窒化アルミニウム合金ターゲットをスパッタリングして成膜される請求項3記載の電極基板の製造方法。

【請求項6】 前記窒化アルミニウム合金ターゲットとして、窒化アルミニウム合金粉末とアルミニウム合金粉末とを混合し、高温高圧状態で焼成固化して得られる窒化アルミニウム合金を用いる請求項3記載の電極基板の製造方法。 30

【請求項7】 アルゴンガス中でアルミニウム合金ターゲットをスパッタリングしてアルミニウム合金膜を成膜した後、該アルミニウム合金膜の上層にイオンドーピング法により注入して、該アルミニウム合金膜の上層を窒化アルミニウム合金膜にすることにより、前記積層膜を形成する請求項3記載の電極基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置等の表示装置に使用される電極基板及びその製造方法に関する。 40

【0002】

【従来の技術】図3に、液晶表示装置に用いられる従来のマトリクス電極基板の一例の部分平面図を示し、図4に、図3に示すマトリクス電極基板のB-B線による断面図を示す。このマトリクス電極基板は、ガラス基板からなる絶縁基板31上に、互いに平行な複数のゲート配線33及び互いに平行な複数のソース電極配線39bが交差するように配設されている。ゲート配線33とソース電極配線39bとの交差部近傍には、薄膜トランジス 50

2

タ(以下「TFT (Thin Film Transistor)」と呼ぶ)3が対応する各々の配線33、39bと接続されて配置されている。隣合う2本のゲート配線33及び隣合う2本のソース電極配線39bで囲まれる領域にはTFT3と接続してそれぞれ絵素電極40aが形成されている。

【0003】マトリクス電極基板の構造を、図4を参照して更に詳細に説明する。このマトリクス電極基板は、絶縁基板31上に、Ta₂O₅からなるベース絶縁膜32が全面に形成され、ベース絶縁膜32上に所定のパターンを有するゲート配線33が形成されている。ゲート配線33の材料には陽極酸化可能な金属タンタルが使用されており、その表層部は電解液にて陽極酸化処理が行われ、TaO_xからなる陽極酸化膜34が形成されている。

このゲート配線33が形成された基板31上全面を覆って、SiN_xからなるゲート絶縁膜35が形成されている。このゲート絶縁膜35上には、ゲート配線33の所定部分を覆うように、真性アモルファスSi半導体からなる半導体層36及びSiN_xからなるエッチングストップ膜37が、ゲート絶縁膜35側からこの順にCVD (Chemical Vapor Deposition) 法により形成されている。半導体層36及びエッチングストップ膜37上には、n⁺にドーパされたアモルファスSiからなるn⁺型半導体層38が形成されており、n⁺型半導体層38はエッチングストップ膜37上で2つに分離され、TFT3のドレイン部38a及びソース部38bが構成されている。このドレイン部38a及びソース部38b上には、それぞれドレイン電極配線39a及びソース電極配線39bが形成されている。ドレイン電極配線39a上とゲート絶縁膜35の所定部分上とに、例えばITO薄膜等の透明導電膜でドレイン電極配線39aの補助配線及び絵素電極40aが形成されるとともに、ソース電極配線39b上には同じく透明導電膜でソース電極配線39bの補助配線40bが形成されている。以上TFT3が形成された基板31上に、絵素電極40aの表示に寄与する部分以外の全面を覆って保護膜41が形成されている。

【0004】

【発明が解決しようとする課題】このような構成のマトリクス電極基板では、ドレイン電極配線39a及びソース電極配線39b上に直接、絵素電極40a及び補助配線40bである透明導電膜、例えばITO薄膜が積層されている。このため、このITO薄膜をエッチング液によってパターンニングするとき、エッチング液によりドレイン電極配線39a及びソース電極配線39bが侵食されることを防止するために、各電極配線39a、39bにはチタン等の高融点高抵抗の金属材料が使用されている。しかしながら、このような高融点高抵抗の金属材料を各電極配線39a、39bとして用いると、この配線39a、39bを送信される信号に遅延が生じるという問題がある。この信号遅延の問題は、特に表示装置が大

型高精細化するとより顕著に現れる。この問題を解決するために、各電極配線39a、39bにチタンに比べ低抵抗であるアルミニウム配線を使用すると、各電極配線39a、39bにおけるマイグレーション、及び透明導電膜からなる絵素電極40a等と各電極配線39a、39bとの間の電気腐食等の問題が発生する。

【0005】本発明は、上記従来技術の問題点を解決するためになされたものであり、電極配線の低抵抗化を実現すると共に、電極配線におけるマイグレーションを抑え、腐食しない不動態性を有する電極基板を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明の電極基板は、基板と、該基板上に形成された透明導電性材料からなる電極と、該基板上にアルミニウム合金膜と、窒化アルミニウム合金膜との2層構造をなし、且つ該アルミニウム合金膜を該基板側として形成され、一部が該電極に接続された電極配線とを備えており、そのことにより上記目的が達成される。

【0007】前記アルミニウム合金膜が、窒化化合物を形成する金属を5at%以下含有したものからなり、且つ前記窒化アルミニウム合金膜の窒素濃度が、25mol%以上であってよい。

【0008】本発明の電極基板の製造方法は、基板上に透明導電性材料からなる電極を形成する工程と、該電極が形成された該基板上に、該基板側からアルミニウム合金膜と窒化アルミニウム合金膜との積層膜を形成する工程と、該積層膜をパターンニングして電極配線を形成する工程とを包含しており、そのことにより上記目的が達成される。

【0009】前記窒化アルミニウム合金膜が、アルゴンと窒素との混合ガス中でアルミニウム合金ターゲットをスパッタリングして成膜されてもよい。

【0010】前記窒化アルミニウム合金膜が、アルゴンガス中で窒化アルミニウム合金ターゲットをスパッタリングして成膜されてもよい。

【0011】前記窒化アルミニウム合金ターゲットとして、窒化アルミニウム合金粉末とアルミニウム合金粉末とを混合し、高温高压状態で焼成固化して得られる窒化アルミニウム合金を用いてもよい。

【0012】アルゴンガス中でアルミニウム合金ターゲットをスパッタリングしてアルミニウム合金膜を成膜した後、該アルミニウム合金膜の上層にイオンドーピング法により注入して、該アルミニウム合金膜の上層を窒化アルミニウム合金膜にすることにより、前記積層膜を形成してもよい。

【0013】

【作用】本発明の電極基板は、透明導電性材料からなる電極上に、アルミニウム合金と窒化アルミニウム合金との2層構造を有する電極配線が形成されているので、電

極配線の低抵抗化を図れ、電極配線における信号遅延を防止できる。窒化アルミニウム合金は不動態化されているため、製造工程における電極と電極配線との間には電気腐食反応は起こらなくなる。

【0014】更に、アルミニウム合金膜が、窒化化合物を形成する金属を5at%以下含有しているので、配線の低抵抗が実現でき、且つ窒化アルミニウム合金膜の窒素濃度が、25mol%以上であるので、窒化アルミニウム合金膜が不動態化する。その結果、電極配線におけるマイグレーションが抑制できる。

【0015】尚、アルミニウムの比抵抗は $265 \times 10^{-4} \Omega \text{cm}$ であり、添加物等により比抵抗が大きくなっても $2000 \times 10^{-4} \Omega \text{cm}$ が使用できる限界である。即ち、アルミニウム合金膜の添加物を5at%より大きくすると、比抵抗が大きくなり、他の金属、例えばMo等と変わらなくなる。

【0016】

【実施例】本発明を実施例について以下に説明する。

【0017】図1に、本発明の一実施例である液晶表示装置に用いられるマトリクス電極基板の部分平面図を示す。図2に、図1に示す電極基板のA-A線による断面図を示す。この電極基板は、ガラス基板からなる絶縁基板11上に、互いに平行な複数のゲート配線13及び互いに平行な複数のソース電極配線20bが交差するように配設されている。ゲート配線13とソース電極配線20bとの交差点近傍には、TFT1が対応する各々の配線13、19bと接続されて配置されている。隣合う2本のゲート配線13及び隣合う2本のソース電極配線20bで囲まれる領域にはTFT1と接続してそれぞれ絵素電極が形成されている。

【0018】マトリクス電極基板の構造を、図1を参照して更に詳細に説明する。このマトリクス電極基板は、絶縁基板11上に、 Ta_2O_5 からなるベース絶縁膜12が全面に形成され、ベース絶縁膜12上に所定のパターンを有するゲート配線13が形成されている。ゲート配線13の材料には陽極酸化可能な金属タンタルが使用されており、その表層部は電解液にて陽極酸化処理が行われ、 TaO_x からなる陽極酸化膜14が形成されている。このゲート配線13が形成された基板11上全面を覆って、 SiN_x からなるゲート絶縁膜15が形成されている。このゲート絶縁膜15上には、ゲート配線13の所定部分を覆うように、真性アモルファスSi半導体からなる半導体層16及び SiN_x からなるエッチングストッパ膜17が、ゲート絶縁膜15側からこの順にプラズマCVD法により形成されている。半導体層16及びエッチングストッパ膜17上には、 n^+ にリンをドーブされたアモルファスSiからなる n^+ 型半導体層18が形成されており、 n^+ 型半導体層18はエッチングストッパ膜17上で2つに分離され、TFT1のドレイン部18a及びソース部18bが構成されている。又、ゲ

ート絶縁膜15の所定部分には、TFT1とは分離して、例えばITO薄膜等の透明導電膜から絵素電極19が形成されている。上記ドレイン部18a及びソース部18b上には、それぞれドレイン電極配線20a及びソース電極配線20bが形成され、ドレイン電極配線20aの一部は絵素電極19と接続している。ドレイン電極配線20a及びソース電極配線20bは、2層構造をしており、下層がアルミニウム合金薄膜で、上層が窒化アルミニウム合金薄膜である。さらに、以上TFT1が形成された基板11上に、絵素電極19の表示に寄与する部分以外の全面を覆って保護膜21が形成されている。

【0019】このような構造を有する電極基板の絵素電極19、ドレイン電極配線20b及びソース電極配線20bの製造方法を説明する。

【0020】＜第1方法＞先ず、TFT1が形成された絶縁基板11のゲート絶縁膜15上に、絵素電極19となる、例えばITO等の透明導電膜をスパッタリングにより成膜し、従来通りにフォトリソグラフィによってパターンニングする。

【0021】次に、TFT1及び絵素電極19を覆って基板11上に、窒化化合物を形成する金属を、全体に対して5at%以下含有するアルミニウム合金ターゲットをアルゴンガス中でスパッタリングして、アルミニウム合金薄膜を成膜し、連続して、同じく窒化物を形成する金属を5at%以下含有するアルミニウム合金ターゲットをアルゴンガスに窒素ガスを混合したガスでスパッタガス圧が0.40Pa前後でスパッタリングして、窒化アルミニウム合金薄膜を成膜する。多くの遷移元素における窒化化合物は、組成が原子価則に従わない、つまりこれらの元素は容易に窒化化合物になる。又、窒化化合物になると高融点、高硬度な物質になる。従って、例えばAl、Si、Ti、Ta、Nb、V、Mg、Mo、Hf、Zr等の窒化化合物を形成しやすい金属が好ましい。このようにして積層したアルミニウム合金薄膜及び窒化アルミニウム合金薄膜をフォトリソグラフィによりパターンニングし、ドレイン電極配線20a及びソース電極配線20bを形成する。

【0022】最後に、保護膜21を従来通りの方法で形成することにより、マトリクス電極基板が製造される。

【0023】＜第2方法＞先ず、TFT1が形成された絶縁基板11のゲート絶縁膜15上に、絵素電極19となる、例えばITO等の透明導電膜をスパッタリングにより成膜し、従来通りにフォトリソグラフィによってパターンニングする。

【0024】次に、アルミニウム合金ターゲットと窒化アルミニウム合金ターゲットとをそれぞれ用い、アルゴンガス中でスパッタリング法によりアルミニウム合金薄膜と、25mol%以上の窒素濃度の窒化アルミニウム合金薄膜とを連続成膜する。このとき、窒化アルミニウム合金ターゲットには50mol%の窒素濃度の窒化ア

ルミニウム合金を装着する。窒化アルミニウム合金薄膜の成膜には、50mol%の窒化アルミニウム合金粉末とアルミニウム合金粉末とを混合し、高温高压状態で焼成固化して得られる25mol%以上の窒素濃度の窒化アルミニウム合金等を用いてもよい。上述のようにして積層したアルミニウム合金薄膜及び窒化アルミニウム合金薄膜をフォトリソグラフィによりパターンニングし、ドレイン電極配線20a及びソース電極配線20bを形成する。

10 【0025】最後に、保護膜21を従来通りの方法で形成することにより、マトリクス電極基板が製造される。

【0026】＜第3方法＞先ず、TFT1が形成された絶縁基板11のゲート絶縁膜15上に、絵素電極19となる、例えばITO等の透明導電膜をスパッタリングにより成膜し、従来通りにフォトリソグラフィによってパターンニングする。

【0027】次に、アルミニウム合金ターゲットを2枚用いてアルゴンガス中でスパッタリング法により2層のアルミニウム合金薄膜を連続成膜した後、イオンドーピング法により上層のアルミニウム合金薄膜に窒素イオンを注入し、上層のアルミニウム合金薄膜を窒化アルミニウム合金薄膜とする。このようにして形成したアルミニウム合金薄膜及び窒化アルミニウム合金薄膜をフォトリソグラフィによりパターンニングし、ドレイン電極配線20a及びソース電極配線20bを形成する。

【0028】最後に、保護膜21を従来通りの方法で形成することにより、マトリクス電極基板が製造される。

【0029】上記方法で形成されたドレイン電極配線20a及びソース電極配線20bは、アルミニウム合金薄膜と窒化アルミニウム合金薄膜との2層構造をしており、上層の窒化アルミニウム合金薄膜は不動態化されているため、フォトリソグラフィ工程に於て、ドレイン電極配線20aとITO薄膜からなる絵素電極19の間には電気腐食反応は起こらなくなる。又、アルミニウム合金薄膜と窒化アルミニウム合金薄膜を連続して形成した積層膜をドレイン電極配線20a及びソース電極配線20bとして用いているために、低抵抗配線が可能となり信号遅延を抑制することができる。

【0030】さらに、ドレイン電極配線20a及びソース電極配線20bに使用されるアルミニウム合金に、窒化物を形成する金属が5at%以下含まれ、且つ窒化アルミニウム合金の窒素濃度が25mol%以上であることによって、フォトリソグラフィ工程における電気腐食の抑制及び配線の低抵抗化に加えて、マイグレーションを抑制することができる。

【0031】又、本発明のように、電極配線を形成する2層の膜が、同じ組成及び添加物から形成されているので、熱膨張及び収縮に強く、膜同士の密着性がよくなる。

50 【0032】

【発明の効果】以上の説明から明らかなように、本発明の電極基板の製造方法によれば、電極配線の低抵抗化を実現すると共に、電極配線におけるマイグレーションを抑え、電極配線は腐食しない不動態性を有するように製造することができる。本発明の電極基板においては、電極配線が低抵抗であるので、電極配線を細く長くすることができ、表示装置の大型化高精細化を図ることができる。

【図面の簡単な説明】

【図1】本発明の電極基板の部分平面図である。

【図2】図1に示す電極基板のA-A線による断面図である。

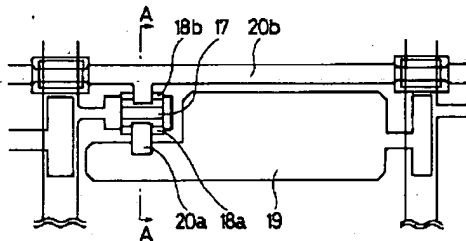
【図3】従来の電極基板の部分平面図である。

【図4】図3に示す電極基板のB-B線による断面図である。

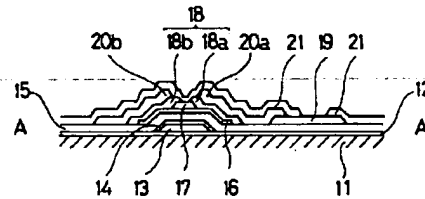
【符号の説明】

- | | |
|-----|------------------------------------|
| 1 | TFT |
| 11 | 絶縁基板 |
| 12 | ベース絶縁膜 (Ta_2O_5) |
| 13 | ゲート配線 |
| 14 | 陽極酸化膜 |
| 15 | ゲート絶縁膜 |
| 16 | アモルファスSi半導体層 |
| 17 | エッチングストッパー膜 |
| 18 | n ⁺ 半導体層 |
| 18a | ドレイン部 |
| 18b | ソース部 |
| 19 | 絵素電極 |
| 20a | ドレイン電極配線 |
| 20b | ソース電極配線 |
| 21 | 保護膜 |

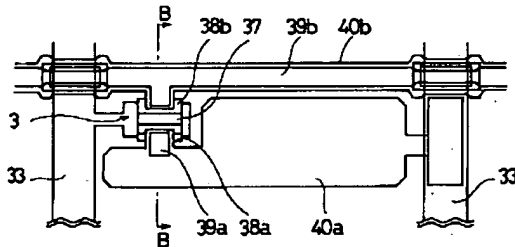
【図1】



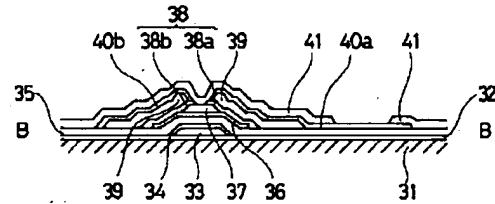
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 伊達 昌浩
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 永安 孝好
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 片山 幹雄
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内